

IN THE U.S. PATENT AND TRADEMARK OFFICE

In re application of

Kouichi NISHIMURA

Conf.

Application No. NEW NON-PROVISIONAL

Group

Filed March 16, 2004

Examiner

DIFFERENTIAL AMPLIFIER OPERABLE IN WIDE RANGE

CLAIM TO PRIORITY

Assistant Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

March 16, 2004

Sir:

Applicant(s) herewith claim(s) the benefit of the priority filing date of the following application(s) for the above-entitled U.S. application under the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55:

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
JAPAN	2003-087312	March 27, 2003

Certified copy(ies) of the above-noted application(s) is(are) attached hereto.

Respectfully submitted,

YOUNG & THOMPSON



Benoit Castel, Reg. No. 35,041
745 South 23rd Street
Arlington, VA 22202
Telephone (703) 521-2297
Telefax (703) 685-0573
703) 979-4709

BC/ia

Attachment(s): 1 Certified Copy(ies)



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 3 月 2 7 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 0 8 7 3 1 2
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 8 7 3 1 2]

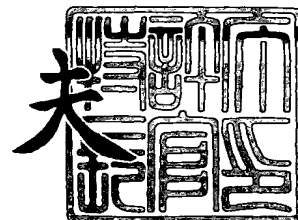
出 願 人 N E C エレクトロニクス株式会社
Applicant(s):

出
(公)
願
(特)
許
庁
印

2 0 0 4 年 1 月 2 6 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 4 - 3 0 0 2 5 3 0

【書類名】 特許願

【整理番号】 73420030

【提出日】 平成15年 3月27日

【あて先】 特許庁長官 殿

【国際特許分類】 H03F 3/45

【発明者】

 【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 5 3 番地 N E C エレ
 クトロニクス株式会社内

 【氏名】 西村 浩一

【特許出願人】

 【識別番号】 302062931

 【氏名又は名称】 N E C エレクトロニクス株式会社

【代理人】

 【識別番号】 100102864

 【弁理士】

 【氏名又は名称】 工藤 実

【手数料の表示】

 【予納台帳番号】 053213

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 0216502

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 差動増幅器

【特許請求の範囲】

【請求項 1】 第 1 入力電圧と第 2 入力電圧とを受ける第 1 トランジスタ対と、

前記第 1 入力電圧と前記第 2 入力電圧とを受け、且つ、前記第 1 トランジスタ対と相補である第 2 トランジスタ対と、

制御信号に応答して前記第 1 トランジスタ対と前記第 2 トランジスタ対とのうちから選択された一のトランジスタ対を選択し、選択された前記一のトランジスタ対を活性化するバイアス回路と、

前記第 1 トランジスタ対の出力と前記第 2 トランジスタ対の出力とに応答して、出力信号を出力する出力回路とを備えた

差動増幅器。

【請求項 2】 請求項 1 に記載の差動増幅器において、更に、

前記第 1 入力電圧と前記第 2 入力電圧とに応答して、前記制御信号を生成する制御信号生成回路を備えた

差動増幅器。

【請求項 3】 請求項 2 に記載の差動増幅器において、前記制御信号生成回路は、

前記第 1 入力電圧と前記第 2 入力電圧とに応答して、前記第 1 入力電圧と前記第 2 入力電圧との間の出力電圧を出力する第 1 回路と、

前記出力電圧に応答して前記制御信号を生成する第 2 回路とを含む

差動増幅器。

【請求項 4】 請求項 3 に記載の差動増幅器において

前記第 1 回路が出力する前記出力電圧は、前記第 1 入力電圧と前記第 2 入力電圧との同相成分である同相電圧に、実質的に一致する

差動増幅器。

【請求項 5】 請求項 1 に記載の差動増幅器において、

前記第 1 トランジスタ対は、

前記第 1 入力電圧を受けるゲートを有する第 1 P チャンネル MOS FET (Metal Oxide Semiconductor Field Effect Transistor) と、

前記第 1 P チャンネル MOS FET のソースに接続されたソースと前記第 2 入力電圧を受けるゲートとを有する第 2 P チャンネル MOS FET とを含み、

前記第 2 トランジスタ対は、

前記第 1 入力電圧をゲートに受ける第 1 N チャンネル MOS FET と、

前記第 1 N チャンネル MOS FET のソースに接続されたソースと前記第 2 入力電圧を受けるゲートとを有する第 2 N チャンネル MOS FET とを含み、

前記バイアス回路は、前記制御信号に応答して、前記第 1 N チャンネル MOS FET 及び前記第 2 N チャンネル MOS FET のソースと、前記第 1 P チャンネル MOS FET 及び前記第 2 P チャンネル MOS FET のソースとのうちのいずれか一方にバイアス電流を供給する

差動増幅器。

【請求項 6】 請求項 5 に記載の差動増幅器において、

前記出力回路は、前記第 1 P チャンネル MOS FET と前記第 2 P チャンネル MOS FET と前記第 1 N チャンネル MOS FET と前記第 2 N チャンネル MOS FET とのうちのいずれに電流が流れるかに応答して、前記出力信号を出力する

差動増幅器。

【請求項 7】 請求項 5 に記載の差動増幅器において、

前記バイアス回路は、

前記第 1 P チャンネル MOS FET 及び前記第 2 P チャンネル MOS FET の前記ソースに接続されたドレインと、電源電圧を有する電源線に接続されたソースとを有する第 3 P チャンネル MOS FET と、



前記第3 PチャンネルMOSFETのゲートと第1バイアス電圧を有する第1バイアスバスとの間に介設され、前記制御信号に応答して動作する第1スイッチ素子と、

前記第3 PチャンネルMOSFETのゲートと前記電源線との間に介設され、前記制御信号に応答して動作する第2スイッチ素子とを含み、

前記第1スイッチ素子がターンオンされるとき、前記第2スイッチ素子はターンオフされ、

前記第1スイッチ素子がターンオフされるとき、前記第2スイッチ素子はターンオンされる

差動増幅器。

【請求項8】 請求項7に記載の差動増幅器において、

前記バイアス回路は、更に、前記制御信号を反転して反転制御信号を出力するインバータを含み、

前記第1スイッチ素子は、前記第1バイアスバスに接続されたソースと、前記第3 PチャンネルMOSFETのゲートに接続されたドレインと、前記制御信号を受けるゲートとを有する第4 PチャンネルMOSFETからなり、

前記第2スイッチ素子は、前記電源線に接続されたソースと、前記第3 PチャンネルMOSFETのゲートに接続されたドレインと、前記反転制御信号を受けるゲートとを有する第5 PチャンネルMOSFETからなる

差動増幅器。

【請求項9】 請求項7に記載の差動増幅器において、

前記バイアス回路は、

前記第1 NチャンネルMOSFET及び前記第2 NチャンネルMOSFETの前記ソースに接続されたドレインと、接地電圧を有する接地線に接続されたソースとを有する第3 NチャンネルMOSFETと、

前記第3 NチャンネルMOSFETのゲートと第2バイアス電圧を有する第2バイアスバスとの間に介設され、前記制御信号に応答して動作する第3スイッチ素子と、

前記第3 NチャンネルMOSFETのゲートと前記接地線との間に介設され、
前記制御信号に応答して動作する第4 スイッチ素子
とを含み、

前記第3 スイッチ素子がターンオンされるとき、前記第4 スイッチ素子はター
ンオフされ、

前記第3 スイッチ素子がターンオフされるとき、前記第4 スイッチ素子はター
ンオンされる

差動増幅器。

【請求項10】 請求項9に記載の差動増幅器において、

前記バイアス回路は、更に、前記制御信号を反転して反転制御信号を出力する
インバータを含み、

前記第3 スイッチ素子は、前記第2 バイアスバスに接続されたソースと、前記
第3 NチャンネルMOSFETのゲートに接続されたドレインと、前記制御信号
を受けるゲートとを有する第4 NチャンネルMOSFETからなり、

前記第4 スイッチ素子は、前記接地線に接続されたソースと、前記第3 Nチャ
ンネルMOSFETのゲートに接続されたドレインと、前記反転制御信号を受け
るゲートとを有する第5 NチャンネルMOSFETからなる

差動増幅器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、差動増幅器に関する。

【0002】

【従来の技術】

2つの入力信号の電位差に対応した出力信号を出力する差動増幅器は、集積回
路に広く使用される回路の一つである。

【0003】

L S I (Large Scale Integrated circuit) に設けられる差動増幅器100は
、典型的には、図9に示されているように、ソースが互いに結合された一対のP

MOSトランジスタ101、102と、PMOSトランジスタ101、102のソースと電源電圧 V_{DD} を有する電源端子104との間に介設されたPMOSトランジスタ103とを含んで構成される。PMOSトランジスタ101、102のゲートには、それぞれ、入力電圧 V_{IN+} 、 V_{IN-} が入力される。PMOSトランジスタ103のゲートには、一定のバイアス電圧が印加され、PMOSトランジスタ103は、PMOSトランジスタ101、102のソースに、一定のバイアス電流 I_{BIAS} を供給する定電流源として機能する。

【0004】

入力電圧 V_{IN+} が入力電圧 V_{IN-} より低いと、バイアス電流 I_{BIAS} の実質的に全てがPMOSトランジスタ101に流れ、出力電流 I_{OUT+} として取り出される。一方、入力電圧 V_{IN+} が入力電圧 V_{IN-} より高いと、バイアス電流 I_{BIAS} の実質的に全てがPMOSトランジスタ102に流れ、出力電流 I_{OUT-} として取り出される。出力電流 I_{OUT+} 、 I_{OUT-} が負荷に流されることより、差動増幅器100の出力が、電圧で取り出されることも可能である。

【0005】

差動増幅器は、PMOSトランジスタではなく、NMOSトランジスタで構成されることも可能である。

【0006】

このような差動増幅器を正常に動作させるためには、差動増幅器に入力される2つの入力電圧を、ある範囲に制限する必要がある。すなわち、2つの入力電圧は、接地電圧 V_{SS} と電源電圧 V_{DD} との間の全範囲に及ぶことは許されない。例えば、図9に示されている差動増幅器100の2つの入力電圧 V_{IN+} 、 V_{IN-} は、接地電圧 V_{SS} 以上、 $V_{DD} - (V_{GS} + V_{DS(SAT)})$ 以下である必要がある。ここで $V_{DS(SAT)}$ は、PMOSトランジスタ103が5極管領域（飽和領域）で動作するときのPMOSトランジスタ103のドレインソース間電圧であり、 V_{GS} は、PMOSトランジスタ101（又はPMOSトランジスタ102）にバイアス電流 I_{BIAS} が流れたときの、PMOSトランジスタ101（又はPMOSトランジスタ102）のゲートソース間電圧であ

る。同様に、差動増幅器がNMOSトランジスタで構成される場合には、入力電圧 V_{IN+} 、 V_{IN-} は、 $V_{SS} + (V_{GS} + V_{DS(SAT)})$ 以上、 V_{DD} 以下である必要がある。差動増幅器の入力電圧に課せられる制限は、差動増幅器の設計の自由度を小さくし、好ましくない。

【0007】

特許文献1は、差動増幅器の入力電圧の許容範囲を広げる技術を開示している。特許文献1に開示されている差動増幅器は、入力信号を受けるPチャンネルトランジスタ対と、該入力信号を受けるNチャンネルトランジスタ対と、これらのトランジスタ対の出力を合成する回路とを備えている。Pチャンネルトランジスタ対とNチャンネルトランジスタ対とは、入力電圧の許容範囲が異なっている。従って、当該差動増幅器は、2つの入力電圧が、Pチャンネルトランジスタ対とNチャンネルトランジスタ対との少なくとも一方が動作可能な電圧範囲にあれば、動作可能である。

【0008】

差動増幅器は、2つの入力電圧の許容範囲が広い一方で、その消費電力が小さいことが望まれる。差動増幅器は、LSIにおいて多数使用され得るため、その消費電力が小さいことは、LSIの消費電力の低減に極めて有効である。

【0009】

【発明が解決しようとする課題】

本発明の目的は、入力電圧の許容範囲が広く、且つ、その消費電力が小さい差動増幅器を提供することにある。

【0010】

【課題を解決するための手段】

以下に、[発明の実施の形態]で使用される番号・符号を用いて、課題を解決するための手段を説明する。これらの番号・符号は、[特許請求の範囲]の記載と[発明の実施の形態]の記載との対応関係を明らかにするために付加されている。但し、付加された番号・符号は、[特許請求の範囲]に記載されている発明の技術的範囲の解釈に用いてはならない。

【0011】

本発明による差動増幅器 (10) は、第1入力電圧 (V_{IN+}) と第2入力電圧 (V_{IN-}) とを受ける第1トランジスタ対 (1) と、第1入力電圧 (V_{IN+}) と第2入力電圧 (V_{IN-}) とを受け、且つ、第1トランジスタ対 (1) と相補である第2トランジスタ対 (2) と、制御信号 (S_C) に応答して第1トランジスタ対 (1) と前記第2トランジスタ対 (2) とのうちから選択された一のトランジスタ対を選択し、選択された前記一のトランジスタ対を活性化するバイアス回路 (3) と、第1トランジスタ対 (1) の出力と第2トランジスタ対 (2) の出力とに応答して、出力信号 (OUT) を出力する出力回路 (4) とを備えている。

【0012】

第1トランジスタ対 (1) と、それに相補の第2トランジスタ対 (2) とは、その入力電圧の許容範囲が異なる。当該差動増幅器 (10) は、制御信号 (S_C) により、第1トランジスタ対 (1) と、それに相補の第2トランジスタ対 (2) とのうちの所望の一方を選択して第1入力電圧 (V_{IN+}) と第2入力電圧 (V_{IN-}) の差の増幅に使用することが可能であり、これにより、第1入力電圧 (V_{IN+}) と第2入力電圧 (V_{IN-}) との許容範囲を広げることが可能である。

【0013】

その一方で、当該差動増幅器 (10) は、第1トランジスタ対 (1) と、それに相補の第2トランジスタ対 (2) とが排他的に使用されるため、その消費電力を減少することができる。

【0014】

制御信号 (S_C) は、当該差動増幅器 (10) の外部から入力されることが可能であり、第1入力電圧 (V_{IN+}) と第2入力電圧 (V_{IN-}) とに応答して、制御信号 (S_C) を生成する制御信号生成回路 (5) が差動増幅器 (10) に備えられることが可能である。制御信号生成回路 (5) が差動増幅器 (10) に備えられることは、制御信号 (S_C) を外部から供給する必要をなくす点で好適である。

【0015】

制御信号生成回路 (5) は、第 1 入力電圧 (V_{IN+}) と第 2 入力電圧 (V_{IN-}) とに応答して、第 1 入力電圧 (V_{IN+}) と第 2 入力電圧 (V_{IN-}) との間の出力電圧 (V_O) を出力する第 1 回路 (51) と、出力電圧 (V_O) に応答して制御信号 (S_C) を生成する第 2 回路 (52、53) とを含むことが好適である。第 1 入力電圧 (V_{IN+}) と第 2 入力電圧 (V_{IN-}) との間である出力電圧 (V_O) は、第 1 入力電圧 (V_{IN+}) と第 2 入力電圧 (V_{IN-}) とがとる範囲の指標として適切である。かかる出力電圧 (V_O) を使用することにより、活性化される該一のトランジスタ対を適切に選択することができる。

【0016】

より好ましくは、第 1 回路 (51) が出力する出力電圧 (V_O) は、第 1 入力電圧 (V_{IN+}) と前記第 2 入力電圧 (V_{IN-}) との同相成分である同相電圧 (V_{CM}) に、実質的に一致することが好適である。

【0017】

典型的には、差動増幅器 (10) の第 1 トランジスタ対 (1) は、第 1 P チャンネル MOSFET (11) と第 2 P チャンネル MOSFET (12) とで構成され、第 2 トランジスタ対 (2) は、第 1 N チャンネル MOSFET (21) と第 2 N チャンネル MOSFET (22) とで構成される。第 1 P チャンネル MOSFET (11) のゲートには、第 1 入力電圧 (V_{IN+}) が入力され、第 2 P チャンネル MOSFET (12) のゲートには、第 2 入力電圧 (V_{IN-}) が入力される。第 1 P チャンネル MOSFET (11) と第 2 P チャンネル MOSFET (12) とは、それらのソースが互いに接続されている。第 1 N チャンネル MOSFET (21) のゲートには、第 1 入力電圧 (V_{IN+}) が入力され、第 2 N チャンネル MOSFET (22) のゲートには、第 2 入力電圧 (V_{IN-}) が入力される。第 1 N チャンネル MOSFET (21) と第 2 N チャンネル MOSFET (22) とは、それらのソースが互いに接続されている。バイアス回路 (3) は、制御信号 (S_C) に応答して、第 1 N チャンネル MOSFET (21) 及び第 2 N チャンネル MOSFET (22) のソースと、第 1 P チャンネル MOSFET (11) 及び第 2 P チャンネル MOSFET (12) のソースとのいずれか一方にバイアス電流を供給する。出力回路 (4) は、第 1 P チャンネル M

OSFET (11) と第2 PチャンネルMOSFET (12) と第1 NチャンネルMOSFET (21) と第2 NチャンネルMOSFET (22) とのうちのいずれに電流が流れるかに応答して、出力信号 (OUT) を出力する。

【0018】

バイアス回路 (3) が、第1 PチャンネルMOSFET (11) 及び第2 PチャンネルMOSFET (12) のソースに接続されたドレインと、電源電圧 (V_{DD}) を有する電源線 (6) に接続されたソースとを有する第3 PチャンネルMOSFET (31) を含む場合、バイアス回路 (3) は、第3 PチャンネルMOSFET (31) のゲートと第1バイアス電圧 (V_{BIAS}^P) を有する第1バイアスバス (8) との間に介設され、制御信号 (S_C) に応答して動作する第1スイッチ素子 (32) と、第3 PチャンネルMOSFET (31) のゲートと電源線 (6) との間に介設され、制御信号 (S_C) に応答して動作する第2スイッチ素子 (33) とを含み、第1スイッチ素子 (32) と第2スイッチ素子 (33) とは、制御信号 (S_C) に応答して、排他的にターンオンされることが好適である。第3 PチャンネルMOSFET (31) は、そのゲートに第1バイアス電圧 (V_{BIAS}^P) が供給されると、定電流源として機能する。

【0019】

このようなバイアス回路 (3) の構成は、第1トランジスタ対 (1) が非活性であるときに、第3 PチャンネルMOSFET (31) のゲートの電圧を電源電圧 (V_{DD}) に固定し、第1トランジスタ対 (1) に不所望なバイアス電流が供給されることを防止する。

【0020】

バイアス回路 (3) が、更に、制御信号 (S_C) を反転して反転制御信号 (S_C) を出力するインバータ (37) を含む場合には、第1スイッチ素子 (32) は、第1バイアスバス (8) に接続されたソースと、第3 PチャンネルMOSFET (31) のゲートに接続されたドレインと、制御信号 (S_C) を受けるゲートとを有する第4 PチャンネルMOSFET (32) からなり、第2スイッチ素子 (33) は、電源線 (6) に接続されたソースと、第3 PチャンネルMOSFET (31) のゲートに接続されたドレインと、反転制御信号 (S_C) を受ける

ゲートとを有する第5 PチャンネルMOSFET (33) からなることが好適である。

【0021】

かかる構成は、第1バイアスバス (8) と第3 PチャンネルMOSFET (31) のゲートとを電氣的に接続するために、ソース及びドレインが互いに接続された一対のPチャンネルMOSFET及びNチャンネルMOSFETからなるトランスファゲートを使用する必要をなくし、更に、電源線 (6) と第3 PチャンネルMOSFET (31) のゲートとを電氣的に接続するために、上記のトランスファゲートを使用する必要をなくす。かかる構成は、バイアス回路 (3) を構成する素子の数を減少させる点で好適である。

【0022】

同様に、バイアス回路 (3) が、第1 NチャンネルMOSFET (21) 及び第2 NチャンネルMOSFET (22) のソースに接続されたドレインと、接地電圧 (V_{SS}) を有する接地線 (7) に接続されたソースとを有する第3 NチャンネルMOSFET (34) を含む場合、バイアス回路 (3) は、第3 NチャンネルMOSFET (34) のゲートと第2バイアス電圧 (V_{BIAS}^N) を有する第2バイアスバス (9) との間に介設され、制御信号 (S_C) に応答して動作する第3スイッチ素子 (35) と、第3 NチャンネルMOSFET (34) のゲートと接地線 (7) との間に介設され、制御信号 (S_C) に応答して動作する第4スイッチ素子 (36) とを含み、第3スイッチ素子 (32) と第4スイッチ素子 (33) とは、制御信号 (S_C) に応答して、排他的にターンオンされることが好適である。第3 NチャンネルMOSFET (34) は、そのゲートに第2バイアス電圧 (V_{BIAS}^N) が供給されると、定電流源として機能する。

【0023】

このようなバイアス回路 (3) の構成は、第2トランジスタ対 (2) が非活性であるときに、第3 NチャンネルMOSFET (34) のゲートの電圧を接地電圧 (V_{SS}) に固定し、第2トランジスタ対 (2) に不所望なバイアス電流が供給されることを防止する。

【0024】

更に、バイアス回路 (3) が、制御信号 (S_C) を反転して反転制御信号 ($S_{\bar{C}}$) を出力するインバータ (37) を含む場合には、第3スイッチ素子 (35) は、第2バイアスバス (9) に接続されたソースと、第3NチャンネルMOSFET (34) のゲートに接続されたドレインと、制御信号 (S_C) を受けるゲートとを有する第4NチャンネルMOSFET (35) からなり、第4スイッチ素子 (36) は、接地線 (7) に接続されたソースと、第3NチャンネルMOSFET (34) のゲートに接続されたドレインと、反転制御信号 ($S_{\bar{C}}$) を受けるゲートとを有する第5NチャンネルMOSFET (36) からなることが好適である。

【0025】

かかる構成は、第2バイアスバス (9) と第3NチャンネルMOSFET (34) のゲートとを電氣的に接続するために、ソース及びドレインが互いに接続された一対のPチャンネルMOSFET及びNチャンネルMOSFETからなるトランスファゲートを使用する必要をなくし、更に、電源線 (6) と第3NチャンネルMOSFET (34) のゲートとを電氣的に接続するために、トランスファゲートを使用する必要をなくす。かかる構成は、バイアス回路 (3) を構成する素子の数を有効に減少させる点で好適である。

【0026】

【発明の実施の形態】

以下、添付図面を参照しながら、本発明による差動増幅器の実施の一形態を説明する。

【0027】

(実施の第1形態)

図1は、本発明による差動増幅器の実施の第1形態を示している。実施の第1形態の差動増幅器10は、正転入力電圧 V_{IN+} と反転入力電圧 V_{IN-} とを比較して出力電圧 OUT を生成する回路である。図2に示されているように、正転入力電圧 V_{IN+} と反転入力電圧 V_{IN-} とは、同相電圧 (common mode voltage) V_{CM} を中心として小さい振幅で変動する一組の電圧である。正転入力電圧 V_{IN+} と反転入力電圧 V_{IN-} の振幅は、典型的には、100～400mVで

ある。正転入力電圧 V_{IN+} と反転入力電圧 V_{IN-} とは、その平均が同相電圧 V_{CM} に一致するように生成される。

【0028】

図1に示されているように、差動増幅器10は、PMOSトランジスタ対1とNMOSトランジスタ対2とバイアス回路3と出力回路4とを備えている。

【0029】

PMOSトランジスタ対1は、互いにソースが結合されたPチャンネルMOSトランジスタ（以下、単に、「PMOSトランジスタ」という）11、12で構成されている。PMOSトランジスタ11のゲートには、正転入力電圧 V_{IN+} が入力され、PMOSトランジスタ12のゲートには、反転入力電圧 V_{IN-} が入力される。PMOSトランジスタ11とPMOSトランジスタ12とは、正転入力電圧 V_{IN+} と反転入力電圧 V_{IN-} とに応答して、そのいずれか一方がオン状態になる。

【0030】

NMOSトランジスタ対2は、互いにソースが結合されたNチャンネルMOSトランジスタ（以下、単に、「NMOSトランジスタ」という）21、22で構成されている。NMOSトランジスタ21のゲートには、PMOSトランジスタ11のゲートと同じ正転入力電圧 V_{IN+} が入力される。NMOSトランジスタ22のゲートには、PMOSトランジスタ12のゲートと同じ反転入力電圧 V_{IN-} が入力される。NMOSトランジスタ21とNMOSトランジスタ22とは、正転入力電圧 V_{IN+} と反転入力電圧 V_{IN-} とに応答して、そのいずれか一方がオン状態になる。

【0031】

バイアス回路3は、PMOSトランジスタ31～33、NMOSトランジスタ34～36、及びCMOSインバータ37で構成されている。バイアス回路3は、外部から供給される制御信号 S_C に応答して、PMOSトランジスタ対1とNMOSトランジスタ対2とのいずれか一方を選択的に活性化する。制御信号 S_C が”Low”電圧（すなわち、接地電圧 V_{SS} ）にプルダウンされると、バイアス回路3は、PMOSトランジスタ11、12のソースにバイアス電流を供給し

てPMOSトランジスタ対1を活性化する。一方、制御信号 S_C が”High”電圧（すなわち、電源電圧 V_{DD} ）にプルアップされると、バイアス回路3は、NMOSトランジスタ21、22のソースにバイアス電流を供給してNMOSトランジスタ対2を活性化する。

【0032】

PMOSトランジスタ対1とNMOSトランジスタ対2とのうち、バイアス回路3によって活性化された一のトランジスタ対は、正転入力電圧 V_{IN+} と反転入力電圧 V_{IN-} との電圧に応答して、そのトランジスタ対が含む2つのMOSトランジスタの一方から出力電流を出力する。より詳細には、PMOSトランジスタ対1が活性化されているときには、正転入力電圧 V_{IN+} が反転入力電圧 V_{IN-} よりも高い場合にPMOSトランジスタ12のドレインから出力電流が出力され、逆の場合にはPMOSトランジスタ11のドレインから出力電流が出力される。NMOSトランジスタ対2が活性化されているときには、正転入力電圧 V_{IN+} が反転入力電圧 V_{IN-} よりも高い場合にNMOSトランジスタ21のドレインから出力電流が出力され、逆の場合にはNMOSトランジスタ22のドレインから出力電流が出力される。

【0033】

出力回路4は、カレントミラー41～45と、出力インバータ46とから構成される。出力回路4は、PMOSトランジスタ対1とNMOSトランジスタ対2とに含まれる4つのMOSトランジスタのうち、いずれのMOSトランジスタから出力電流が出力されているかに応答して、出力電圧OUTを生成する。出力回路4は、PMOSトランジスタ11又はNMOSトランジスタ22から出力電流が出力されている場合に出力電圧OUTを”Low”電圧にプルダウンし、PMOSトランジスタ12又はNMOSトランジスタ21から出力電流が出力されている場合に出力電圧OUTを”High”電圧にプルアップする。即ち、出力回路4は、正転入力電圧 V_{IN+} が反転入力電圧 V_{IN-} よりも高い場合に出力電圧OUTを”High”電圧にプルアップし、逆の場合には、出力電圧OUTを”Low”電圧にプルダウンすることになる。このように、出力電圧OUTは、正転入力電圧 V_{IN+} が反転入力電圧 V_{IN-} よりも高いか低いかに応答して出

力される。出力電圧OUTは、PMOSトランジスタ対1とNMOSトランジスタ対2とのいずれが活性化されているかには関係ない。

【0034】

本実施の形態の差動増幅器10は、制御信号SCを適切に制御することにより、正転入力電圧VIN+と反転入力電圧VIN-とに許容される範囲を広くすることができる。差動増幅器10は、制御信号SCを制御することにより、PMOSトランジスタ対1とNMOSトランジスタ対2との所望の一方を選択的に活性化して出力電圧OUTを生成可能である。更に、既述のように、PMOSトランジスタ対1とNMOSトランジスタ対2とでは、正転入力電圧VIN+と反転入力電圧VIN-との電圧の許容範囲が異なっている。従って、本実施の形態の差動増幅器10は、制御信号SCによってPMOSトランジスタ対1とNMOSトランジスタ対2とのうちの適切な一方を選択して出力電圧OUTを生成することにより、広い電圧範囲、即ち、接地電圧VSSから電源電圧VDDの範囲の正転入力電圧VIN+と反転入力電圧VIN-とに対応することが可能である。

【0035】

その一方で、本実施の形態の差動増幅器10は、消費電力を小さくすることができる。本実施の形態の差動増幅器10は、PMOSトランジスタ対1とNMOSトランジスタ対2とは、排他的に活性化され、同時には活性化されない。従って、本実施の形態の差動増幅器10は、PMOSトランジスタ対とNMOSトランジスタ対との両方が常に活性化されている特許文献1の差動増幅器10よりも消費電力を小さくすることができる。

【0036】

以下では、バイアス回路3と出力回路4との構成が、より詳細に説明される。上述のように、バイアス回路3は、PMOSトランジスタ31、32、33と、NMOSトランジスタ34、35、36と、CMOSインバータ37とを含んでいる。CMOSインバータ37は、PMOSトランジスタ38とNMOSトランジスタ39とを含んでいる。CMOSインバータ37は、制御信号SCを反転して反転制御信号/SCを生成する。

【0037】

PMOSトランジスタ31は、PMOSトランジスタ対1に一定のバイアス電流を供給する定電流源として機能する。PMOSトランジスタ31のソースは、電源電圧 V_{DD} を有する電源線6に接続され、PMOSトランジスタ31のドレインは、PMOSトランジスタ対1に含まれるPMOSトランジスタ11及び12のソースに接続される。PMOSトランジスタ31のゲートは、PMOSトランジスタ32を介して、バイアス電圧 V_{BIAS}^P を有する第1バイアスバス8に接続されている。バイアス電圧 V_{BIAS}^P は、PMOSトランジスタ31がPMOSトランジスタ対1に所望のバイアス電流を供給するように定められる。バイアス電圧 V_{BIAS}^P は、接地電圧 V_{SS} と電源電圧 V_{DD} との間の電圧である。

【0038】

PMOSトランジスタ32は、制御信号 S_C に応答してPMOSトランジスタ31のゲートを選択的に第1バイアスバス8に電氣的に接続するスイッチ素子として機能する。PMOSトランジスタ32のソースは第1バイアスバス8に接続され、ドレインはPMOSトランジスタ31のゲートに接続される。PMOSトランジスタ32のゲートには、制御信号 S_C が入力される。

【0039】

制御信号 S_C が”Low”電圧にプルダウンされると、PMOSトランジスタ32は、第1バイアスバス8をPMOSトランジスタ31のゲートに電氣的に接続してPMOSトランジスタ31のゲートにバイアス電圧 V_{BIAS}^P を供給する。バイアス電圧 V_{BIAS}^P がPMOSトランジスタ31のゲートに供給されることにより、PMOSトランジスタ対1にはバイアス電流が供給され、PMOSトランジスタ対1が活性化される。

【0040】

一方、制御信号 S_C が”High”電圧にプルアップされると、PMOSトランジスタ32は、第1バイアスバス8をPMOSトランジスタ31のゲートから電氣的に切り離し、PMOSトランジスタ31をターンオフする。これにより、PMOSトランジスタ対1へのバイアス電流の供給が遮断され、PMOSトランジスタ対1が非活性化される。

【0041】

PMOSトランジスタ33は、PMOSトランジスタ対1が非活性にされるときに、PMOSトランジスタ31のゲートを電源線6に電氣的に接続するスイッチ素子として機能する。PMOSトランジスタ33のソースは、電源線6に接続され、ドレインは、PMOSトランジスタ31のゲートに接続される。PMOSトランジスタ33のゲートには、CMOSインバータ37によって生成される反転制御信号/ S_C が入力される。PMOSトランジスタ対1を非活性にするために制御信号 S_C が"High"電圧にプルアップされると、反転制御信号/ S_C は"Low"電圧にプルダウンされ、PMOSトランジスタ33はターンオンされる。PMOSトランジスタ33がターンオンすることにより、PMOSトランジスタ31のゲートは、電源線6に電氣的に接続されて電源電圧 V_{DD} に固定される。これにより、不所望なバイアス電流がPMOSトランジスタ対1に供給されることが防がれる。

【0042】

一方、NMOSトランジスタ34は、NMOSトランジスタ対2に一定のバイアス電流を供給する定電流源として機能する。NMOSトランジスタ34のソースは、接地電圧 V_{SS} を有する接地線7に接続され、NMOSトランジスタ34のドレインは、NMOSトランジスタ対1に含まれるNMOSトランジスタ21及び22のソースに接続される。NMOSトランジスタ34のゲートは、NMOSトランジスタ32を介して、バイアス電圧 V_{BIAS}^N を有する第2バイアスバス9に接続されている。バイアス電圧 V_{BIAS}^N は、NMOSトランジスタ34がNMOSトランジスタ対2に所望のバイアス電流を供給するように定められる。バイアス電圧 V_{BIAS}^N は、接地電圧 V_{SS} と電源電圧 V_{DD} との間の電圧である。

【0043】

NMOSトランジスタ35は、制御信号 S_C に応答して、NMOSトランジスタ34のゲートを、選択的に第2バイアスバス9に電氣的に接続するスイッチ素子として機能する。NMOSトランジスタ35のソースは第2バイアスバス9に接続され、ドレインはNMOSトランジスタ34のゲートに接続される。NMO

Sトランジスタ35のゲートには、制御信号 S_C が入力される。

【0044】

制御信号 S_C が”High”電圧にプルアップされると、NMOSトランジスタ35は、第2バイアスバス9をNMOSトランジスタ34のゲートに電氣的に接続し、NMOSトランジスタ34のゲートにバイアス電圧 V_{BIAS}^N を供給する。バイアス電圧 V_{BIAS}^N がNMOSトランジスタ34のゲートに供給されることにより、NMOSトランジスタ対2にはバイアス電流が供給され、NMOSトランジスタ対2が活性化される。

【0045】

一方、制御信号 S_C が”Low”電圧にプルダウンされると、NMOSトランジスタ35は、第2バイアスバス9をNMOSトランジスタ34のゲートから電氣的に切り離し、NMOSトランジスタ34をターンオフする。これにより、NMOSトランジスタ対2へのバイアス電流の供給が遮断され、NMOSトランジスタ対2が非活性化される。

【0046】

NMOSトランジスタ36は、NMOSトランジスタ対2が非活性にされるときに、NMOSトランジスタ34のゲートを接地線7に電氣的に接続するスイッチ素子として機能する。NMOSトランジスタ36のソースは、接地線7に接続され、ドレインは、NMOSトランジスタ34のゲートに接続される。NMOSトランジスタ36のゲートには、CMOSインバータ37によって生成される反転制御信号 $\neg S_C$ が入力される。NMOSトランジスタ対2を非活性にするために制御信号 S_C が”Low”電圧にプルダウンされると、反転制御信号 $\neg S_C$ は”High”電圧にプルアップされ、NMOSトランジスタ36はターンオンされる。NMOSトランジスタ36がターンオンすることにより、NMOSトランジスタ34のゲートは、接地線7に電氣的に接続されて接地電圧 V_{SS} に固定される。これにより、不所望なバイアス電流がNMOSトランジスタ対2に供給されることが防がれる。

【0047】

PMOSトランジスタ32とNMOSトランジスタ35とが制御信号 S_C によ

って駆動され、PMOSトランジスタ33とNMOSトランジスタ36とが反転制御信号/ S_C によって駆動される上述の構成は、バイアス回路3を構成するために必要な素子数が少ない点で好適である。

【0048】

NMOSトランジスタ及びPMOSトランジスタは、一般に、そのゲートとソースとの間に、ある程度の電圧（ゲートーソース間電圧）が生じる。NMOSトランジスタ及びPMOSトランジスタがトランスファゲートとして使用される場合、ゲートーソース間電圧の発生は、ソースとドレインの電圧を不一致にし、動作の上で問題になる場合がある。ゲートーソース間電圧が問題になる場合、トランスファゲートとしては、ソース及びドレインが互いに結合された一組のNMOSトランジスタ及びPMOSトランジスタが使用される。

【0049】

しかし、本実施の形態のように、PMOSトランジスタ32が制御信号 S_C によって駆動され、PMOSトランジスタ33が反転制御信号/ S_C によって駆動される上述の構成は、ソース及びドレインが互いに結合された一組のNMOSトランジスタ及びPMOSトランジスタからなるトランスファゲートを使用することを不要にし、バイアス回路3を構成するために必要な素子数を有効に減少する。

【0050】

同様に、NMOSトランジスタ35が制御信号 S_C によって駆動され、NMOSトランジスタ36が反転制御信号/ S_C によって駆動される上述の構成は、ソース及びドレインが互いに結合された一組のNMOSトランジスタ及びPMOSトランジスタからなるトランスファゲートを使用することを不要にし、バイアス回路3を構成するために必要な素子数を有効に減少する。

【0051】

一方、出力回路4は、上述のように、カレントミラー41～45と、出力インバータ46とを備えている。

【0052】

カレントミラー41は、PMOSトランジスタ41a、41bで構成されてい

る。PMOSトランジスタ41a、41bのソースは、いずれも、電源線6に接続されている。PMOSトランジスタ41a、41bのゲートは、互いに接続され、且つ、PMOSトランジスタ41aのドレインに接続されている。PMOSトランジスタ41aのドレインは、カレントミラー41の入力端子として機能し、PMOSトランジスタ41bのドレインは、カレントミラー41の出力端子として機能する。

【0053】

同様に、カレントミラー43は、PMOSトランジスタ43a、43bで構成され、カレントミラー45は、PMOSトランジスタ45a、45bで構成されている。カレントミラー43、45の構成は、カレントミラー41の構成と同様である。PMOSトランジスタ43a、45aのドレインは、それぞれ、カレントミラー43、45の入力端子として機能し、PMOSトランジスタ43b、45bのドレインは、それぞれ、カレントミラー43、45の出力端子として機能する。

【0054】

カレントミラー42は、NMOSトランジスタ42a、42bで構成されている。NMOSトランジスタ42a、42bのソースは、いずれも、接地線7に接続されている。NMOSトランジスタ42a、42bのゲートは、互いに接続され、且つ、NMOSトランジスタ42aのドレインに接続されている。NMOSトランジスタ42aのドレインは、カレントミラー41の入力端子として機能する。NMOSトランジスタ42bのドレインは、カレントミラー41の出力端子として機能する。

【0055】

同様に、カレントミラー44は、NMOSトランジスタ44a、44bで構成されている。カレントミラー44の構成は、カレントミラー42の構成と同様である。NMOSトランジスタ44aのドレインは、それぞれ、カレントミラー44の入力端子として機能し、NMOSトランジスタ44bのドレインは、それぞれ、カレントミラー44の出力端子として機能する。

【0056】

出力インバータ 46 は、PMOS トランジスタ 46 a と NMOS トランジスタ 46 b とで構成されている。PMOS トランジスタ 46 a のソースは、電源線 6 に接続され、NMOS トランジスタ 46 b のソースは、接地線 7 に接続されている。PMOS トランジスタ 46 a 及び NMOS トランジスタ 46 b のゲートは、入力ノード 47 に接続されている。PMOS トランジスタ 46 a 及び NMOS トランジスタ 46 b のドレインは、出力ノード 48 に接続されている。出力インバータ 46 は、入力ノード 47 の電圧を反転して出力ノード 48 に出力する。出力ノード 48 の電圧が、差動増幅器 10 の出力電圧 OUT である。

【0057】

カレントミラー 41 の PMOS トランジスタ 41 a のドレインは、NMOS トランジスタ対 2 の NMOS トランジスタ 21 のドレインに接続され、カレントミラー 41 の PMOS トランジスタ 41 b のドレインからは、NMOS トランジスタ 21 を流れる電流に対応する電流が出力される。

【0058】

カレントミラー 41 の PMOS トランジスタ 41 b のドレインと、PMOS トランジスタ対 1 の PMOS トランジスタ 12 のドレインとは、いずれも、カレントミラー 42 の NMOS トランジスタ 42 a のドレインに接続されている。カレントミラー 41 の PMOS トランジスタ 41 b は、NMOS トランジスタ 21 に電流が流れるときのみにカレントミラー 42 に電流を供給するので、カレントミラー 42 には、PMOS トランジスタ 12 又は NMOS トランジスタ 21 に電流が流れる場合、すなわち、正転入力電圧 V_{IN+} が反転入力電圧 V_{IN-} よりも高い場合に、電流が供給されることになる。カレントミラー 42 に電流が供給されるか否かは、PMOS トランジスタ対 1 と NMOS トランジスタ対 2 とのいずれが活性化されるかに関係がない。

【0059】

カレントミラー 42 に電流が供給される場合、すなわち、正転入力電圧 V_{IN+} が反転入力電圧 V_{IN-} よりも高い場合、カレントミラー 42 の NMOS トランジスタ 42 b は、定電流源として機能する。一方、正転入力電圧 V_{IN+} が反転入力電圧 V_{IN-} よりも低い場合、NMOS トランジスタ 42 b は、ターンオ

フされ、入力ノード 47 と接地線 7 とは、電氣的に切り離される。

【0060】

一方、カレントミラー 43 の PMOS トランジスタ 43a のドレインは、NMOS トランジスタ対 2 の NMOS トランジスタ 22 のドレインに接続され、カレントミラー 43 の PMOS トランジスタ 43b のドレインからは、NMOS トランジスタ 22 を流れる電流に対応する電流が出力される。

【0061】

カレントミラー 43 の PMOS トランジスタ 43b のドレインと、PMOS トランジスタ対 1 の PMOS トランジスタ 11 のドレインとは、いずれも、カレントミラー 44 の NMOS トランジスタ 44a のドレインに接続されている。カレントミラー 43 からカレントミラー 44 には、NMOS トランジスタ 22 に電流が流れるときのみに電流が供給されるので、カレントミラー 44 には、PMOS トランジスタ 11 又は NMOS トランジスタ 22 に電流が流れる場合、すなわち、正転入力電圧 V_{IN+} が反転入力電圧 V_{IN-} よりも低い場合に、電流が入力されることになる。カレントミラー 44 に電流が入力されるか否かは、PMOS トランジスタ対 1 と NMOS トランジスタ対 2 とのいずれが活性化されるかに関係がない。

【0062】

カレントミラー 44 に電流が入力される場合、すなわち、正転入力電圧 V_{IN+} が反転入力電圧 V_{IN-} よりも低い場合、カレントミラー 44 の NMOS トランジスタ 44b は、定電流源として機能する。一方、正転入力電圧 V_{IN+} が反転入力電圧 V_{IN-} よりも高い場合、NMOS トランジスタ 44b は、ターンオフされる。

【0063】

カレントミラー 45 の PMOS トランジスタ 45a のドレインは、カレントミラー 44 の NMOS トランジスタ 44b のドレインに接続されている。NMOS トランジスタ 44b が定電流源として機能してカレントミラー 45 の PMOS トランジスタ 45a に電流を流す場合、すなわち、正転入力電圧 V_{IN+} が反転入力電圧 V_{IN-} よりも低い場合、カレントミラー 45 の PMOS トランジスタ 4

5bは、定電流減として機能する。一方、正転入力電圧 V_{IN+} が反転入力電圧 V_{IN-} よりも高い場合、PMOSトランジスタ45bは、ターンオフされる。

【0064】

カレントミラー42のNMOSトランジスタ42bのドレインと、カレントミラー45のPMOSトランジスタ45bのドレインとは、入力ノード47に接続されている。入力ノード47の電圧は、正転入力電圧 V_{IN+} と反転入力電圧 V_{IN-} とに基づいて定まる。上述のように、正転入力電圧 V_{IN+} が反転入力電圧 V_{IN-} よりも高い場合、NMOSトランジスタ42bは定電流源として機能しようとする一方でPMOSトランジスタ45bはターンオフされ、従って、入力ノード47は”Low”電圧にプルダウンされる。一方、正転入力電圧 V_{IN+} が反転入力電圧 V_{IN-} よりも低い場合、NMOSトランジスタ42bはターンオフされる一方でPMOSトランジスタ45bは定電流源として機能しようとし、従って、入力ノード47は”High”電圧にプルアップされる。

【0065】

上述のように、出力インバータ47は、入力ノード47の電圧を反転して出力電圧OUTを出力するから、正転入力電圧 V_{IN+} が反転入力電圧 V_{IN-} よりも高い場合、出力電圧OUTは、”High”電圧にプルアップされ、逆の場合、出力電圧OUTは、”Low”電圧にプルダウンされることになる。

【0066】

続いて、本実施の形態の差動増幅器10の動作が説明される。

【0067】

差動増幅器10を動作させる前に、入力しようとする正転入力電圧 V_{IN+} と反転入力電圧 V_{IN-} の範囲に対応する制御信号 S_C が外部から供給され、PMOSトランジスタ対1及びNMOSトランジスタ対2のうちの一方が活性化される。制御信号 S_C は、当該差動増幅器10を内蔵するLSIの外部パッドから供給される。

【0068】

正転入力電圧 V_{IN+} と反転入力電圧 V_{IN-} とが、接地電圧 V_{SS} に近い場合には、制御信号 S_C が”Low”電圧にされ、PMOSトランジスタ対1が活

活性化される。制御信号 S_C が "Low" 電圧にされると、PMOS トランジスタ 32 がターンオンされて、PMOS トランジスタ 31 にバイアス電圧 V_{BIAS}^P が供給される。バイアス電圧 V_{BIAS}^P が供給されると、PMOS トランジスタ 31 は、PMOS トランジスタ対 1 にバイアス電流を供給して PMOS トランジスタ対 1 を活性化する。このとき、反転制御信号 $\neg S_C$ が "High" 電圧にされることに応答して、NMOS トランジスタ 36 はターンオンされ、NMOS トランジスタ 34 のゲートが接地線 7 に接続される。これにより、NMOS トランジスタ 34 のゲートが接地電圧 V_{SS} に固定され、NMOS トランジスタ対 2 が不所望に動作することが防がれる。

【0069】

一方、正転入力電圧 V_{IN+} と反転入力電圧 V_{IN-} とが、電源電圧 V_{DD} に近い場合には、制御信号 S_C が "High" 電圧にされ、NMOS トランジスタ対 2 が活性化される。制御信号 S_C が "High" 電圧にされると、NMOS トランジスタ 35 がターンオンされて、NMOS トランジスタ 34 にバイアス電圧 V_{BIAS}^N が供給される。バイアス電圧 V_{BIAS}^N が供給されると、NMOS トランジスタ 34 は、NMOS トランジスタ対 2 にバイアス電流を供給して NMOS トランジスタ対 2 を活性化する。このとき、反転制御信号 $\neg S_C$ が "Low" 電圧にされることに応答して、PMOS トランジスタ 33 はターンオンされ、PMOS トランジスタ 31 のゲートが電源線 6 に接続される。これにより、PMOS トランジスタ 31 のゲートが電源電圧 V_{DD} に固定され、PMOS トランジスタ対 1 が不所望に動作することが防がれる。

【0070】

このように、PMOS トランジスタ対 1 及び NMOS トランジスタ対 2 のうちの一方のみが活性化されることにより、当該差動増幅器 10 の消費電力が低減される。

【0071】

制御信号 S_C の設定の後、正転入力電圧 V_{IN+} と反転入力電圧 V_{IN-} とが入力され、正転入力電圧 V_{IN+} と反転入力電圧 V_{IN-} とのうちのいずれが高いかに応じて出力回路 4 から出力電圧 OUT が出力される。正転入力電圧 V_{IN}

+が反転入力電圧 V_{IN-} よりも高い場合には、出力電圧OUTは”High”電圧にプルアップされ、逆の場合には、出力電圧OUTは”Low”電圧にプルダウンされる。

【0072】

出力電圧OUTは、PMOSトランジスタ対1及びNMOSトランジスタ対2のうちいずれが活性化されるかには依存しない。例えば、正転入力電圧 V_{IN+} が反転入力電圧 V_{IN-} よりも高い場合を考える。PMOSトランジスタ対1が活性化される場合には、PMOSトランジスタ対1のPMOSトランジスタ12に電流が流れ、PMOSトランジスタ12からカレントミラー42に電流が流れ、カレントミラー42のNMOSトランジスタ42bがターンオンされる。従って、入力ノード47が”Low”電圧にプルダウンされ、従って、出力インバータ46が出力する出力電圧OUTは、”High”電圧にプルアップされる。一方、NMOSトランジスタ対1が活性化される場合には、NMOSトランジスタ対1のNMOSトランジスタ21に電流が流れ、NMOSトランジスタ21に接続されているカレントミラー41からカレントミラー42に電流が流れ、カレントミラー42のNMOSトランジスタ42bがターンオンされる。従って、PMOSトランジスタ対1が活性化される場合と同様に、入力ノード47が”Low”電圧にプルダウンされ、出力電圧OUTは、”High”電圧にプルアップされる。正転入力電圧 V_{IN+} が反転入力電圧 V_{IN-} よりも低い場合を考える。

【0073】

このように、PMOSトランジスタ対1及びNMOSトランジスタ対2のうちいずれが活性化されても、所望の出力電圧OUTが出力インバータ46から出力される。

【0074】

差動増幅器10は、正転入力電圧 V_{IN+} と反転入力電圧 V_{IN-} との同相成分、すなわち、同相電圧 V_{CM} が接地電圧 V_{SS} と電源電圧 V_{DD} の間のいずれの値であっても動作可能である。図3は、差動増幅器10の遅延時間の、同相電圧 V_{CM} に対する依存性を示すグラフである。電源電圧 V_{DD} は、2.3Vである。PMOSトランジスタ対1を活性化させることにより、差動増幅器10は、

同相電圧 V_{CM} が 1.3 V 以下の場合に正常に動作する。一方、NMOS トランジスタ対 2 を活性化させることにより、差動増幅器 10 は、同相電圧 V_{CM} が 0.9 V 以上の場合に正常に動作する。このように、PMOS トランジスタ対 1 と NMOS トランジスタ対 2 とを適切に選択して活性化することにより、差動増幅器 10 は、0 V から電源電圧の 2.3 V にわたる入力電圧範囲で動作可能である。

【0075】

以上に説明されているように、本実施の形態の差動増幅器 10 は、正転入力電圧 V_{IN+} と反転入力電圧 V_{IN-} との許容範囲を広げながら、消費電力を低減することができる。

【0076】

(実施の第 2 形態)

図 4 は、本発明による差動増幅器の実施の第 2 形態を示している。実施の第 2 形態の差動増幅器 10 では、制御信号 S_C が外部から入力されるのではなく、正転入力電圧 V_{IN+} と反転入力電圧 V_{IN-} とに応答して制御信号 S_C を生成する制御信号生成回路 5 が設けられる。

【0077】

制御信号生成回路 5 は、図 5 に示されているように、同相電圧検出回路 51 と基準電圧生成電源 52 と比較器 53 とを備えている。同相電圧検出回路 51 は、正転入力電圧 V_{IN+} と反転入力電圧 V_{IN-} とに応答して、同相電圧 V_{CM} に実質的に同一な出力電圧 V_O を生成する。基準電圧生成電源 52 は、基準電圧 V_R を生成する。基準電圧 V_R は、接地電圧 V_{SS} と電源電圧 V_{DD} との間の電圧であり、好ましくは、 $V_{DD}/2$ である。比較器 53 は、出力電圧 V_O と基準電圧 V_R とを比較して制御信号 S_C を出力する。比較器 53 は、出力電圧 V_O が基準電圧 V_R より高い場合に、制御信号 S_C を "High" 電圧にプルアップし、低い場合には、制御信号 S_C を "Low" 電圧にプルダウンする。従って、正転入力電圧 V_{IN+} と反転入力電圧 V_{IN-} とが比較的に低い場合には、PMOS トランジスタ対 1 が活性化され、正転入力電圧 V_{IN+} と反転入力電圧 V_{IN-} とが比較的に高い場合には、NMOS トランジスタ対 2 が活性化される。これに

より、正転入力電圧 V_{IN+} と反転入力電圧 V_{IN-} とに応じて選ばれた適切なトランジスタ対が活性化される。

【0078】

同相電圧検出回路 51 は、電流 I_R を生成する定電流源 54 と、NMOS トランジスタ 55 a、55 b と、PMOS トランジスタ 56 a、56 b と、NMOS トランジスタ 57 a、57 b とを備えている。

【0079】

定電流源 54 は、その一端が接地端子 58 に接続され、電流 I_R を接地端子 58 に流し込む。

【0080】

定電流源 54 の他端は、ノード 59 を介して、NMOS トランジスタ 55 a、55 b のソースに接続されている。NMOS トランジスタ 55 a、55 b のゲートには、正転入力電圧 V_{IN+} と反転入力電圧 V_{IN-} とが、それぞれ入力される。

【0081】

NMOS トランジスタ 55 a、55 b のドレインは、PMOS トランジスタ 56 a のドレインに接続されている。PMOS トランジスタ 56 a は、PMOS トランジスタ 56 b とともに、カレントミラーを構成している。PMOS トランジスタ 56 a、56 b の特性は同一である。PMOS トランジスタ 56 a、56 b のソースは、電源電位 V_{DD} を有する電源線 60 に接続され、PMOS トランジスタ 56 a、56 b のゲートは、互いに接続され、且つ、PMOS トランジスタ 56 a のドレインに接続されている。

【0082】

PMOS トランジスタ 56 b のドレインは、NMOS トランジスタ 57 a、57 b のドレインに接続されている。NMOS トランジスタ 57 a、57 b のソースは、ノード 59 を介して定電流源 54 に接続されている。

【0083】

NMOS トランジスタ 57 a、57 b のドレインは、それらのゲートに接続され、NMOS トランジスタ 57 a、57 b のドレインとゲートとは同一の電圧に

保たれる。NMOSトランジスタ57a、57bのゲートの電圧が、同相電圧検出回路51の出力電圧 V_O である。

【0084】

NMOSトランジスタ57a、57bの特性は、NMOSトランジスタ55a、55bの特性と実質的に同一である。

【0085】

このような構成を有する同相電圧検出回路51の出力電圧 V_O は、おおむね、正転入力電圧 V_{IN+} と反転入力電圧 V_{IN-} との平均、即ち、同相電圧 V_{CM} に一致する。NMOSトランジスタ55a、55bは、それぞれ、正転入力電圧 V_{IN+} と反転入力電圧 V_{IN-} とに対応した電流 I_2 、 I_3 をノード59に流れ込む。PMOSトランジスタ56aには、電流 I_2 と電流 I_3 との和と同一の大きさの電流 $I_R/2$ が流れる。PMOSトランジスタ56a、56bは、カレントミラーを構成するので、NMOSトランジスタ57a、57bのドレインには、PMOSトランジスタ56aを流れる電流と同一の大きさの電流 $I_R/2$ が流れ込む。NMOSトランジスタ57a、57bは、同一の特性を有しているので、NMOSトランジスタ57a、57bには、同一の大きさの電流 I_1 が流れる。NMOSトランジスタ57a、57bを流れる電流の和は、NMOSトランジスタ55a、55bを流れる電流の和に一致するので、電流 I_1 は、電流 I_2 、 I_3 の平均に一致する。更に、NMOSトランジスタ57a、57bの特性は、NMOSトランジスタ55a、55bの特性と一致しているので、NMOSトランジスタ57a、57bのゲートの電圧は、おおむね、正転入力電圧 V_{IN+} と反転入力電圧 V_{IN-} との平均の電圧、すなわち、同相電圧 V_{CM} になる。

【0086】

より厳密には、同相電圧検出回路51の出力電圧 V_O は、下記式：

【数1】

$$V_O = \frac{V_{IN+} + V_{IN-}}{2} + \frac{2\sqrt{\frac{2I_1}{\beta}} - \sqrt{\left(2\sqrt{\frac{2I_1}{\beta}}\right)^2 - (V_{IN+} - V_{IN-})^2}}{2} \quad \dots(1)$$

で表現される。ここで I_1 は、NMOS トランジスタ 57a、57b を流れる電流であり、 β は、NMOS トランジスタ 55a、55b、57a、57b のゲート幅 W 、ゲート長 L 、移動度 μ 、及びゲート容量 C_O を用いて、下記式：

【数 2】

$$\beta = \frac{W}{L} \mu C_O \quad \dots(2)$$

で表現される値である。

【0087】

式 (1) の第 1 項は、正転入力電圧 V_{IN+} と反転入力電圧 V_{IN-} との平均、すなわち、同相電圧 V_{CM} である。式 (1) の第 2 項は、MOS トランジスタの非線形性に起因して生じる同相電圧 V_{CM} からの誤差である。第 2 項の値は小さい。

【0088】

式 (1) に示されているように、出力電圧 V_O は、厳密には同相電圧 V_{CM} と一致しない。しかし、出力電圧 V_O は、少なくとも正転入力電圧 V_{IN+} と反転入力電圧 V_{IN-} との間の電圧であり、正転入力電圧 V_{IN+} と反転入力電圧 V_{IN-} との電圧範囲を判断する指標として十分に機能する。

【0089】

本実施の差動増幅器 10 では、正転入力電圧 V_{IN+} と反転入力電圧 V_{IN-} とから、同相電圧 V_{CM} に実質的に一致する出力電圧 V_O が生成され、出力電圧 V_O に応答して制御信号 S_C が生成される。これにより、正転入力電圧 V_{IN+} と反転入力電圧 V_{IN-} との電圧範囲に応じて制御信号 S_C が生成され、PMOS トランジスタ対 1 と NMOS トランジスタ対 2 とのうちの適切な一方が、自動的に選択されて活性化される。

【0090】

実施の第 2 形態において、同相電圧検出回路 51 に大きな駆動能力が求められる場合には、図 6 に示されているように、NMOS トランジスタ 57a、57b のドレインとゲートとの間にバッファ 61 が挿入されることが好適である。バッ

ファ 61 の入力、NMOS トランジスタ 57a、57b のドレインに接続され、出力は、NMOS トランジスタ 57a、57b のゲート、すなわち、出力電圧 V_O が出力される出力端子に接続される。

【0091】

図 5、又は図 6 の同相電圧検出回路 51 の出力電圧 V_O には、ノイズが発生し得る。このノイズによる誤動作を防止するために、比較器 53 は、図 7 に示されているように、その入出力特性がヒステリシス（履歴特性）を持つように構成されることが好適である。すなわち、比較器 53 は、比較器 53 の入力電圧（すなわち、同相電圧検出回路 51 の出力電圧 V_O ）が増加するときには、比較器 53 の入力電圧が閾値 V_{T1} を超えた時に制御信号 S_C の電圧を”Low”電圧から”High”電圧に遷移させるように構成される。更に、比較器 53 は、比較器 53 の入力電圧が減少するときには、比較器 53 の入力電圧が閾値 V_{T2} ($< V_{T1}$) より小さくなった時に制御信号 S_C の電圧を”Low”電圧から”High”電圧に遷移させるように構成される。これにより、ノイズによって出力電圧 V_O がふらついても、これによって制御信号 S_C が不安定になることが防止される。

【0092】

ノイズによる誤動作を防止する他の手段として、図 8 に示されているように、同相電圧検出回路 51 と比較器 53 との間にローパスフィルタ 62 が挿入されることが可能である。ローパスフィルタ 62 は、典型的には、抵抗 62a とキャパシタ 62b とで構成される。抵抗 62a の第 1 端子は、同相電圧検出回路 51 の出力端子に接続され、抵抗 62a の第 2 端子は、比較器 53 の入力端子に接続されている。キャパシタ 62b は、抵抗 62 の第 2 端子と、接地電圧 V_{SS} を有する接地端子 63 との間に介設されている。これにより、高周波のノイズが除去された出力電圧 V_O が比較器 53 に供給され、制御信号 S_C が不安定になることが防止される。

【0093】

【発明の効果】

本発明により、入力電圧の許容範囲が広く、且つ、その消費電力が小さい差動

増幅器が提供される。

【図面の簡単な説明】

【図 1】

図 1 は、本発明による差動増幅器の実施の第 1 形態を示す。

【図 2】

図 2 は、正転入力電圧 V_{IN+} と反転入力電圧 V_{IN-} との波形を示す。

【図 3】

図 3 は、実施の第 1 形態の差動増幅器の動作範囲を示すグラフである。

【図 4】

図 4 は、本発明による差動増幅器の実施の第 2 形態を示す。

【図 5】

図 5 は、実施の第 2 形態の差動増幅器に含まれる制御信号生成回路 5 を示す。

【図 6】

図 6 は、実施の第 2 形態の差動増幅器に含まれる制御信号生成回路 5 の変形例を示す。

【図 7】

図 7 は、実施の第 2 形態の差動増幅器に含まれる比較器 5 3 の好適な入出力特性を示す。

【図 8】

図 8 は、実施の第 2 形態の差動増幅器に含まれる制御信号生成回路 5 の他の変形例を示す。

【図 9】

図 9 は、従来の差動増幅器を示す。

【符号の説明】

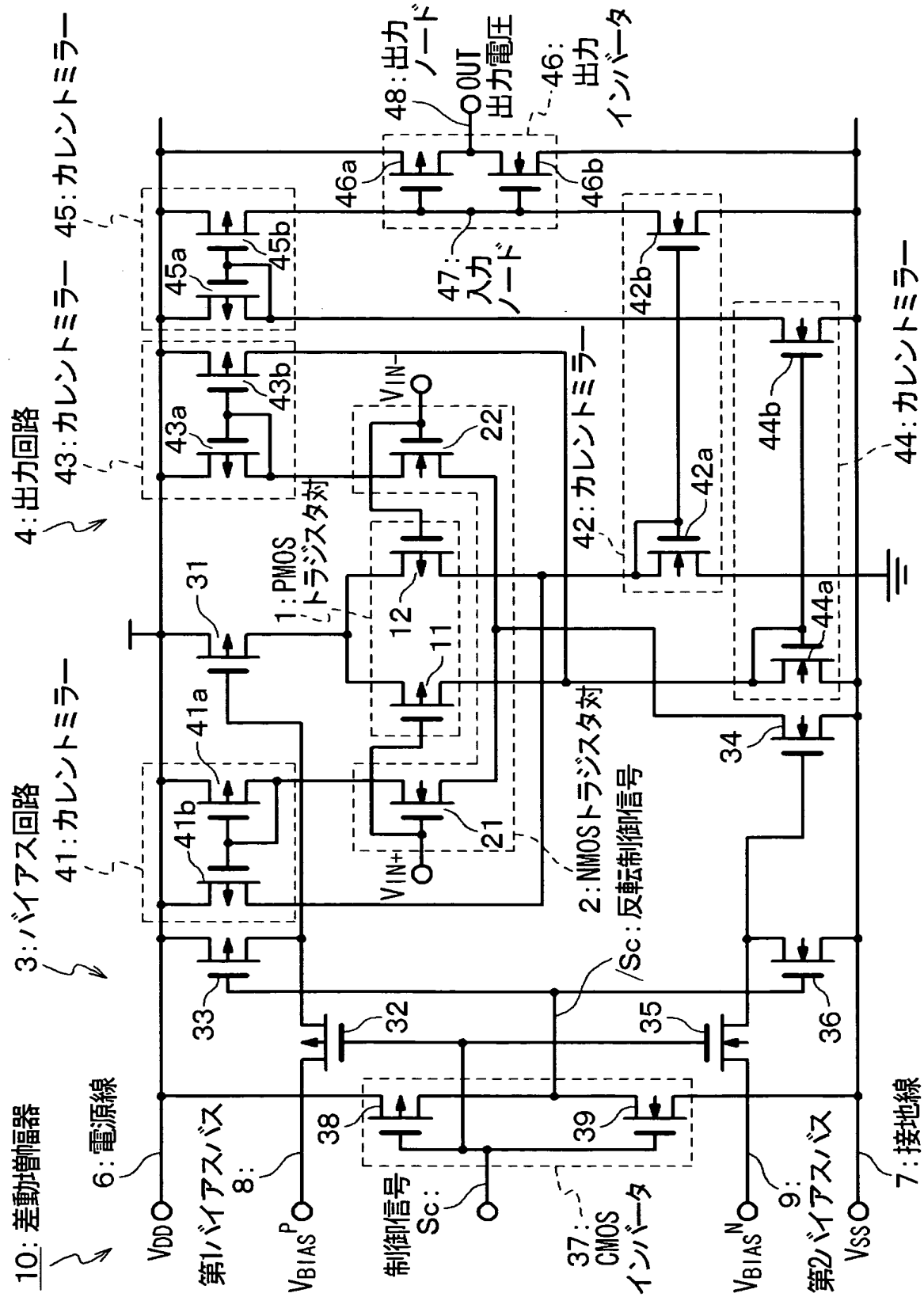
- 1：PMOS トランジスタ対
- 2：NMOS トランジスタ対
- 3：バイアス回路
- 4：出力回路
- 5：制御信号生成回路

- 6 : 電源線
- 7 : 接地線
- 8 : 第 1 バイアスバス
- 9 : 第 2 バイアスバス
- 10 : 差動増幅器
- 11、12 : PチャンネルMOSトランジスタ (PMOSトランジスタ)
- 21、22 : NチャンネルMOSトランジスタ (NMOSトランジスタ)
- 31～33 : PMOSトランジスタ
- 34～36 : NMOSトランジスタ
- 37 : インバータ
- 38 : PMOSトランジスタ
- 39 : NMOSトランジスタ
- 41～45 : カレントミラー
- 41a、41b、43a、43b、45a、45b : PMOSトランジスタ
- 42a、42b、44a、44b : NMOSトランジスタ
- 46 : 出力インバータ
- 46a : PMOSトランジスタ
- 46b : NMOSトランジスタ
- 51 : 同相電圧検出回路
- 52 : 基準電圧生成電源
- 53 : 比較器
- 54 : 定電流源
- 55a、55b、57a、57b : NMOSトランジスタ
- 56a、56b : PMOSトランジスタ
- 59 : ノード
- 60 : 電源線
- 61 : バッファ
- 62 : ローパスフィルタ
- 62a : 抵抗

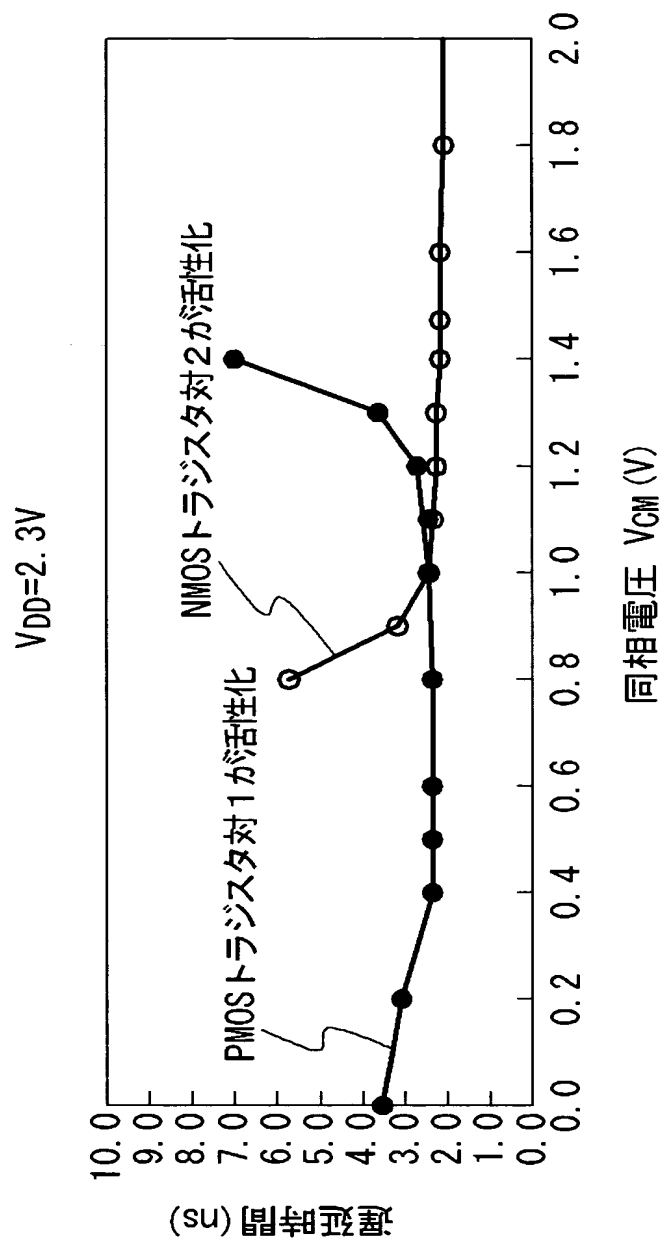
62b: キャパシタ

【書類名】 図面

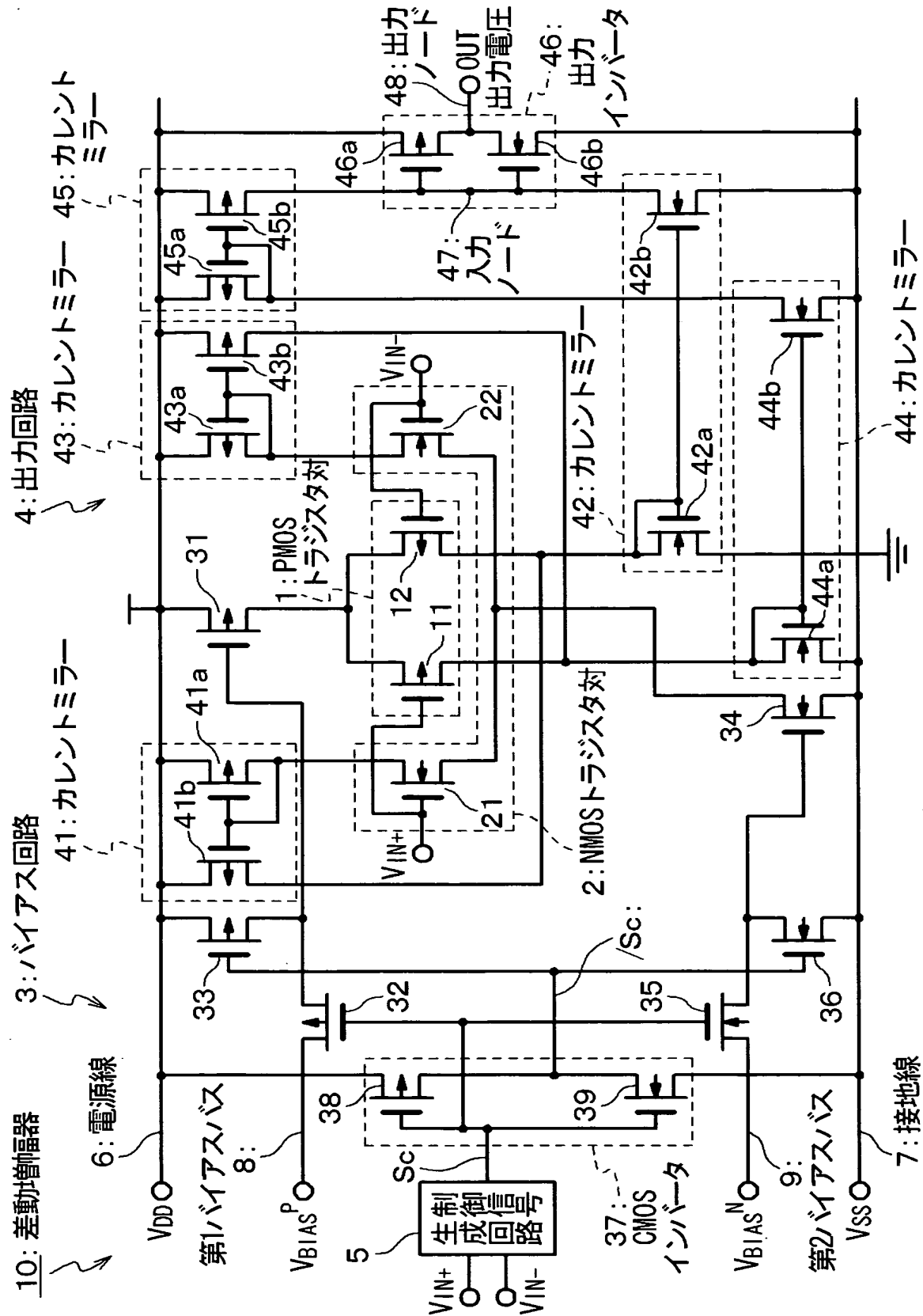
【図1】



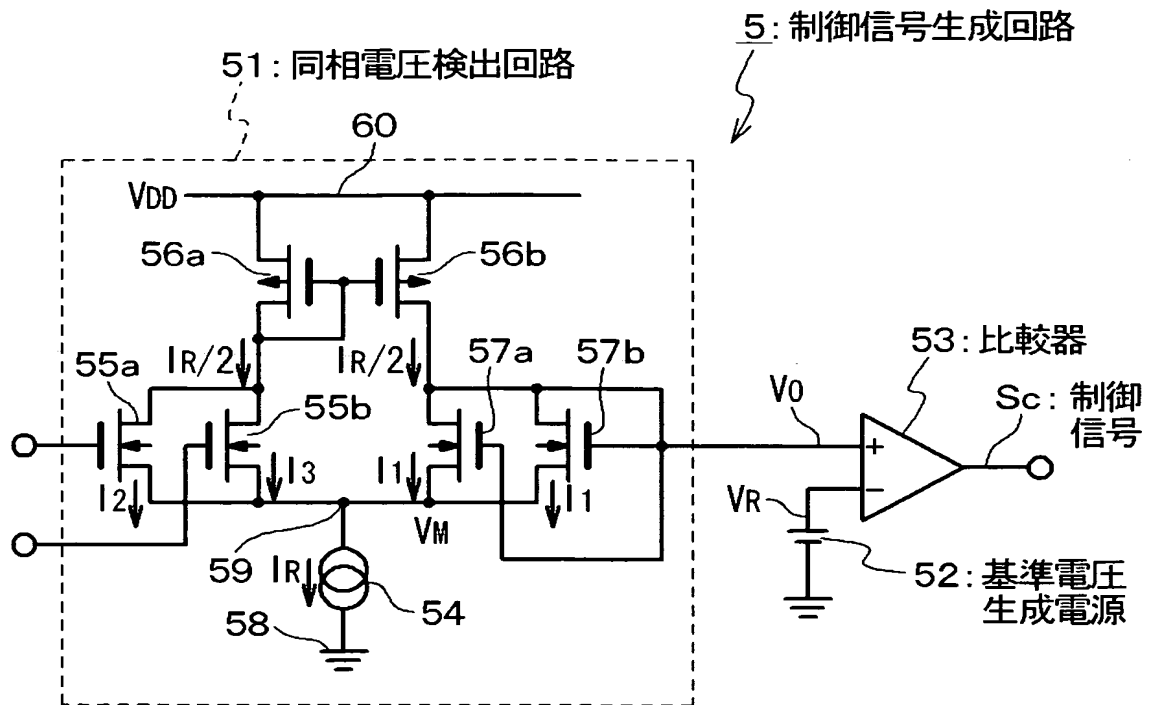
【図 3】



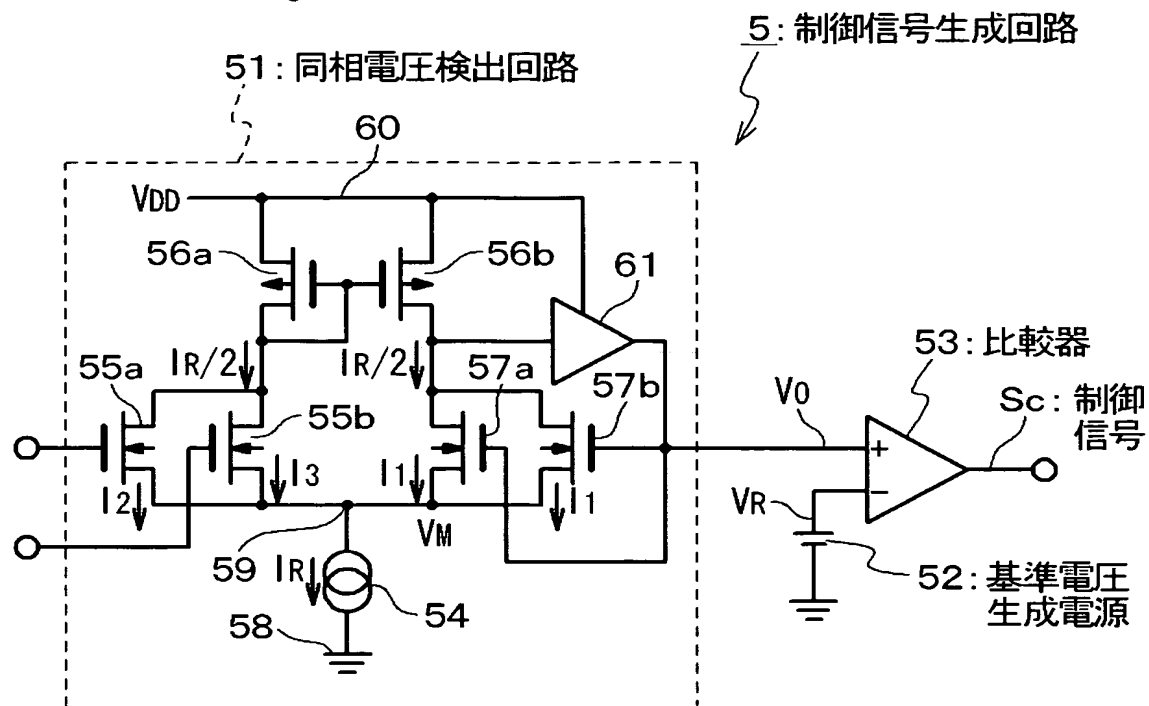
【図 4】



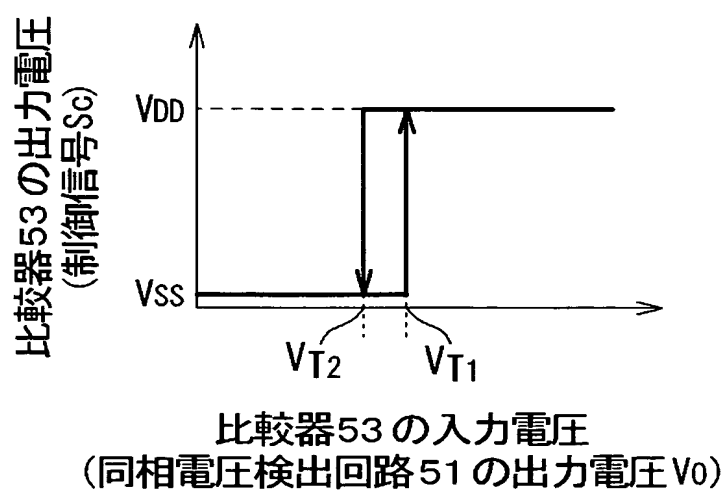
【図 5】



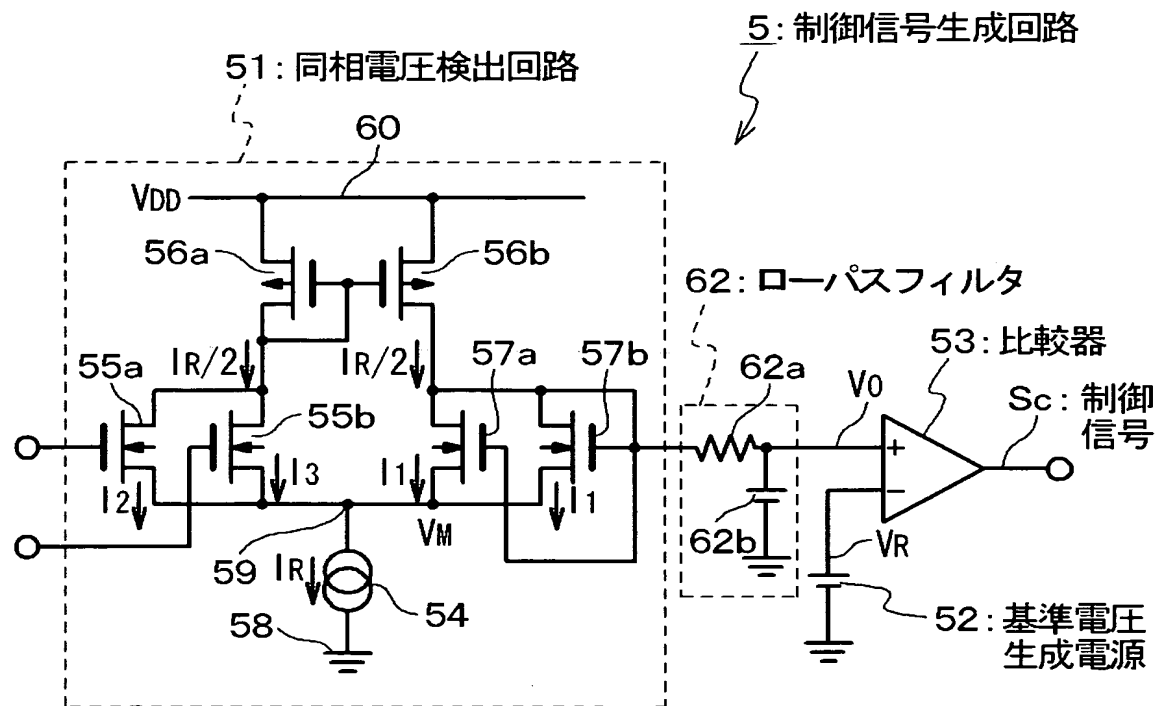
【図 6】



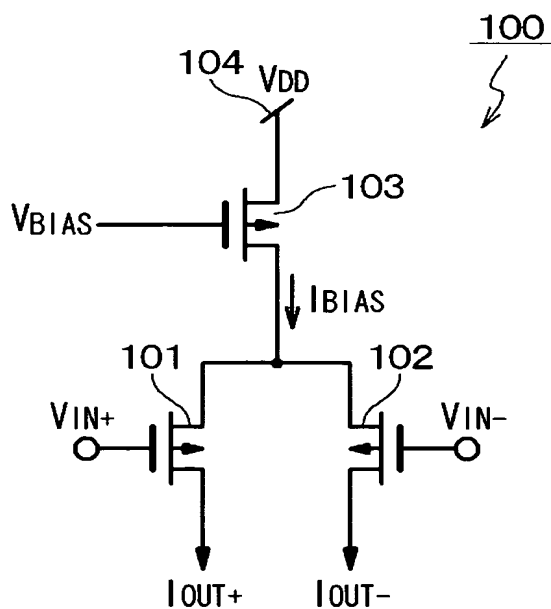
【図 7】



【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 入力電圧の許容範囲が広く、且つ、その消費電力が小さい差動増幅器を提供する。

【解決手段】 本発明による差動増幅器（10）は、第1入力電圧（ V_{IN+} ）と第2入力電圧（ V_{IN-} ）とを受ける第1トランジスタ対（1）と、第1入力電圧（ V_{IN+} ）と第2入力電圧（ V_{IN-} ）とを受け、且つ、第1トランジスタ対（1）と相補である第2トランジスタ対（2）と、第1トランジスタ対（1）と前記第2トランジスタ対（2）とのうちから選択された一のトランジスタ対を選択し、選択された前記一のトランジスタ対を活性化するバイアス回路（3）と、第1トランジスタ対（1）の出力と第2トランジスタ対（2）の出力とにตอบสนองして、出力信号（OUT）を出力する出力回路（4）とを備えている。

【選択図】 図1

特願 2 0 0 3 - 0 8 7 3 1 2

出 願 人 履 歴 情 報

識別番号 [3 0 2 0 6 2 9 3 1]

1. 変更年月日 2 0 0 2 年 1 1 月 1 日

[変更理由] 新規登録

住 所 神奈川県川崎市中原区下沼部 1 7 5 3 番地

氏 名 N E C エレクトロニクス株式会社